

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR MANUFACTURING THE SAME

Patent number: JP2004193170
Publication date: 2004-07-08
Inventor: OKAMOTO MINORU
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - international: H01L23/60; H01L23/58; (IPC1-7): H01L21/822; H01L23/12; H01L27/04
 - european: H01L23/60
Application number: JP20020355856 20021206
Priority number(s): JP20020355856 20021206

Also published as:

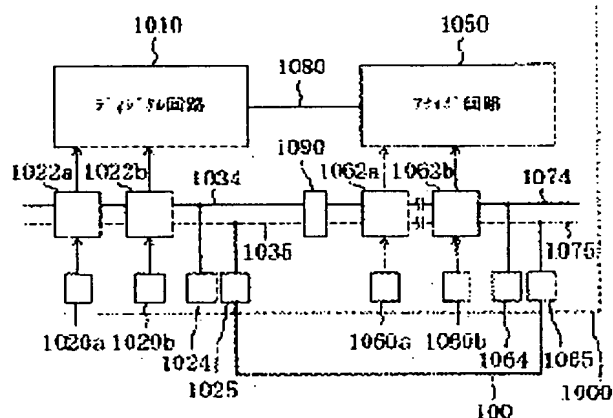


EP1427015 (A2)
 US6911700 (B2)
 US2005264965 (A)
 US2004108577 (A)
 CN1507052 (A)

Report a data error here

Abstract of JP2004193170

PROBLEM TO BE SOLVED: To inexpensively and surely improve ESD (electrostatic discharge) resistance in a short time in a semiconductor integrated circuit which integrates a digital circuit and an analog circuit on the same semiconductor chip.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-193170

(P2004-193170A)

(43)公開日 平成16年7月8日(2004.7.8)

(51)Int. Cl.⁷

F I

テーマコード(参考)

H 0 1 L 21/822

H 0 1 L 27/04

H

5 F 0 3 8

H 0 1 L 23/12

H 0 1 L 27/04

D

H 0 1 L 27/04

H 0 1 L 23/12

E

H 0 1 L 23/12

B

審査請求 有 請求項の数 11 O L

(全19頁)

(21)出願番号 特願2002-355856(P2002-355856)

(22)出願日 平成14年12月6日(2002.12.6)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74)代理人 100077931

弁理士 前田 弘

(74)代理人 100094134

弁理士 小山 廣毅

(74)代理人 100110939

弁理士 竹内 宏

(74)代理人 100110940

弁理士 嶋田 高久

(74)代理人 100113262

弁理士 竹内 祐二

(74)代理人 100115059

弁理士 今江 克実

最終頁に続く

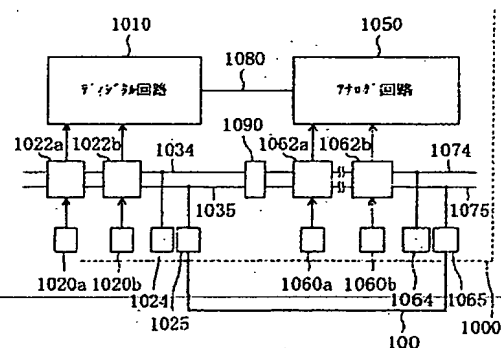
(54)【発明の名称】 半導体集積回路装置および半導体集積回路装置の製造方法

(57)【要約】

【課題】 デジタル回路とアナログ回路を同一半導体チップ上に集積する半導体集積回路において短期間に安価で、かつ確実にESD耐性を向上する。

【解決手段】 本発明の半導体集積回路装置は、デジタル回路(1010)とアナログ回路(1050)とを同一半導体チップ内に集積する半導体集積回路(1000)において、デジタル回路(1010)に接続され静電破壊を保護する静電破壊保護回路(1022a、1022b)と、アナログ回路(1050)に接続され静電破壊を保護する静電破壊保護回路(1062a、1062b)とを備える。そして、静電破壊保護回路(1022a、1022b)に接続されるグラウンド電源(1035)が供給される配線と、静電破壊保護回路(1062a、1062b)に接続されるグラウンド電源(10375)が供給される配線とは、半導体集積回路(1000)の外部で接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、

前記デジタル回路に接続され、入力されたデジタル信号の影響によって前記デジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路と、

前記アナログ回路に接続され、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路とを備え、

前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とは、前記半導体集積回路の外部で接続されている

ことを特徴とする半導体集積回路装置。 10

【請求項 2】

請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の内部で接続されている

ことを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で接続されている

ことを特徴とする半導体集積回路装置。 20

【請求項 4】

請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続されている

ことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電気的に接続するための部分を介して、接続されている

ことを特徴とする半導体集積回路装置。 30

【請求項 6】

デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、

入力されたデジタル信号の影響によって生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された前記デジタル回路と、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された前記アナログ回路とが仕様通りに動作するか否かを判断する回路検査ステップと、

前記回路検査ステップにおいて、前記デジタル回路と前記アナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記デジタル回路と前記アナログ回路とに対して判断する静電破壊検査ステップと、前記静電破壊検査ステップに

おいて、前記デジタル回路と前記アナログ回路との少なくとも一方に静電破壊が生じると判断した場合に、前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とを、前記半導体集積回路の外部で接続する外部接続ステップとを備える

ことを特徴とする半導体集積回路装置の製造方法。 40

【請求項 7】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の内部で接続するステップである 50

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 8】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 9】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 10】

請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電気的に接続するための部分を介して、接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 11】

第 1 のデジタル回路と第 1 のアナログ回路とを同一半導体チップ内に集積する第 1 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 1 のデジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された第 1 の接地線と、入力されたアナログ信号の影響によって前記第 1 のアナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された第 2 の接地線とが接続されない第 1 のパッケージ基板を作成する第 1 のパッケージ作成ステップと、

第 2 のデジタル回路と第 2 のアナログ回路とを同一半導体チップ内に集積する第 2 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 2 のデジタル回路に生じる静電破壊を保護する第 3 の静電破壊保護回路に接続された第 3 の接地線と、入力されたアナログ信号の影響によって前記第 2 のアナログ回路に生じる静電破壊を保護する第 4 の静電破壊保護回路に接続された第 4 の接地線とが接続された第 2 のパッケージ基板を作成する第 2 のパッケージ作成ステップと、

前記第 1 のデジタル回路と前記第 1 のアナログ回路とが仕様通りに動作するか否かを判断する第 1 の回路検査ステップと、前記第 1 の回路検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 1 のデジタル回路と前記第 1 のアナログ回路に対して判断する第 1 の静電破壊検査ステップとを含む、前記第 1 のパッケージ作成ステップの後に、行う第 1 の L S I 検査ステップと、

前記第 2 のデジタル回路と前記第 2 のアナログ回路とが仕様通りに動作するか否かを判断する第 2 の回路検査ステップと、前記第 2 の回路検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 2 のデジタル回路と前記第 2 のアナログ回路に対して判断する第 2 の静電破壊検査ステップとを含む、前記第 2 のパッケージ作成ステップの後に、行う第 2 の L S I 検査ステップと、

前記第 1 の L S I 検査ステップにおける前記第 1 の静電破壊検査ステップにおいて、前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに静電破壊が生じないと判断した場合に、前記第 1 のパッケージ基板を選択する第 1 のパッケージ選択ステップと、前記第 1 の L S I 検査ステップの前記第 1 の静電破壊検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路との少なくとも一方に静電破壊が生じると判断した場合であって、前記第 2 の L S I 検査ステップの前記第 2 の静電破壊検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに静電破壊を生じないと判断した場合に、前記第 2 のパッケージ基板を選択する第 2 のパッケージ選択ステップ

とを備える

ことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多電源により構成される半導体集積回路において、ディジタル回路とアナログ回路との間の静電気放電（ESD）による破壊に対する耐性を向上する半導体集積回路装置に関するものである。

【0002】

【従来の技術】

近年、LSIチップ技術の進歩に伴いディジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路が開発されている。このようなディジタル回路とアナログ回路とを混載するディジタル・アナログ混載LSIチップでは、各回路ごとに複数の電源を外部から供給することによって、アナログ回路がディジタル回路から受けるノイズの影響を低減する。また、LSIチップの静電破壊を防止するため、ディジタル回路用の電源とアナログ回路用の電源、およびディジタル回路用のグラウンドとアナログ回路用のグラウンド、それぞれについて完全に分離せず、静電破壊（ESD）を防止する回路（以下、「保護回路」と言う）を介して、ディジタル回路とアナログ回路とを接続する構成がなされている。

【0003】

図11は、従来の半導体集積回路1000の構成例を示す図である。

【0004】

図11に示す半導体集積回路1000は、ディジタル回路1010とアナログ回路1050とを有しており、ディジタル回路1010とアナログ回路1050とは制御信号線1080を介して接続されている。

【0005】

ディジタル回路1010は、保護回路1022a、1022bを経由して、パッド部1020a、1020bからの電気信号を受ける。また、電源パッド部1024は、保護回路1022a、1022bにディジタル系の電源1034を供給する。電源パッド部1025は、保護回路1022a、1022bにディジタル系のグラウンド電源1035を与える。

【0006】

アナログ回路1050は、同様に、保護回路1062a、1062bを経由して、パッド部1060a、1060bからの電気信号を受ける。また、電源パッド部1064は、保護回路1062a、1062bにアナログ系の電源1074を供給する。電源パッド部1065は、保護回路1062a、1062bにアナログ系のグラウンド電源1075を与える。

【0007】

図12は、上記保護回路1022a、1022b、1062a、1062bの構成例を示す図である。例えば、図12に示すように、ダイオードを用いて回路を構成することによって、サージ電圧を吸収する。これにより、ディジタル回路1010に電源を供給する電源パッド部1024と電気信号をそれぞれ入力するパッド部1020a、1020bとの間、さらには電源パッド部1025とパッド部1020a、1020bとの間、同様にアナログ回路1050に電源を供給する電源パッド部1064と電気信号を入力するパッド部1060a、1060bとの間、さらには電源パッド部1065とパッド部1060a、1060bとの間のそれぞれにサージ電圧が混入しても、図12に示す回路によって電荷がバイパスされ、ディジタル回路1010、アナログ回路1050の静電破壊を防ぐ。

【0008】

上述したように、保護回路1022aおよび保護回路1022b、保護回路1062aおよび保護回路1062bは、それぞれディジタル回路1010、アナログ回路1050に

対してのみ機能する。さらに、上記各保護回路1022a、1022b、1062a、1062bによって電荷がバイパスされることによって、デジタル回路1010とアナログ回路1050との間に静電破壊が生じる場合を考慮して、デジタル回路1010とアナログ回路1050との間に保護回路1090が接続されている。つまり、デジタル回路1010用の電源1034とアナログ回路1050用の電源1074、グラウンド電源1035とグラウンド電源1075は、それぞれ保護回路1090を介して接続される。

【0009】

図13は、保護回路1090の構成例を示す図である。例えば、図13に示すように、ダイオードを用いて回路を構成することによって、デジタル回路1010とアナログ回路1050との間に生じる静電破壊を防止する。なお、保護回路1090は、デジタル回路1010とアナログ回路1050とを直結することを回避して、デジタル回路1010からアナログ回路1050へのノイズを吸収する機能も果たしている。

【0010】

なお、保護回路については、上記図12および図13に示した構成以外にも多数考案されている（例えば特許文献1、2参照）。

【0011】

図14は、上記図11に示した半導体集積回路1000内のパッド部とパッケージ基板の端子との接続関係の一例を示す図である。

【0012】

例えば、半導体集積回路1000内のパッド部1025は、リード線1327によって、図14に示すパッケージ基板1300上の端子1326と電氣的に接続される。なお、他のパッド部の接続についても同様になされる。

【0013】

図15は、パッケージ基板1300の端子と外部ピンとの接続関係の一例を示す図である。図15に示すように、端子1326は、パッケージ基板1300の内部において、配線1427によって、外部ピン1426と電氣的に接続される。なお、他の端子の接続についても同様になされる。

【0014】

このようにして、パッケージ基板1300と半導体集積回路1000とを接続した後、樹脂1410等によってパッケージ化され、LSIチップ1400が形成される。

【0015】

図16は、LSIチップ1400の製造工程を示すフローチャートである。

【0016】

図16に示すように、ステップST2000において半導体集積回路1000を設計した後、ステップST2010に進んで半導体集積回路1000を製造する。次に、ステップST2020に進んで半導体集積回路1000とパッケージ基板1300とを一体化し、LSIチップ1400とする。

【0017】

その後、LSIチップ1400に対してLSI検査を実施するステップST2100に進む。つまり、LSI検査を実施するステップST2100では、少なくとも、デジタル回路1010とアナログ回路1050とが仕様通りに動作するか否かを検査するステップST2110と静電破壊を検査するステップST2120とを含む。そして、ステップST2100におけるLSI検査の結果、デジタル回路1010とアナログ回路1050とが仕様通りに動作し、静電破壊が生じないことが判明すればLSIチップ1400が完成となる。一方、デジタル回路1010またはアナログ回路1050が仕様通りに動作しないか、デジタル回路1010またはアナログ回路1050に静電破壊が生じないことが判明すれば、ステップST2000に戻って以降のステップを繰り返す。

【0018】

【特許文献1】

特開平10-56138号公報

【特許文献2】

特開平11-274404号公報

【0019】

【発明が解決しようとする課題】

しかしながら、上記の通り、保護回路1090は、ディジタル回路1010で発生するノイズの影響を低減し、かつESDに対する耐性を向上する目的で挿入されたものであるが、保護回路1090におけるサージ電荷の通過時間が長い場合、適切にサージ電圧が放電されない場合が生じる。このとき、ディジタル回路1010とアナログ回路1050とを結ぶ制御信号線1080に流れる制御信号を介して高電圧がかかり、ディジタル回路1010またはアナログ回路1050の制御信号線1080を接続する部分が破壊する場合が生じる。

【0020】

このような場合、保護回路1090におけるサージ電荷の通過時間を短くするためには、保護回路1090を設計変更することで対処できる。すなわち、上記図16に示したステップST2000を再度実施することで対処できるが、図16に示したステップST2010に示す通り半導体集積回路1000を製造し直す必要がある。半導体集積回路1000は多数の製造工程を経て製造されるので、半導体集積回路1000を再度製造するためには少なくとも1ヶ月を超える長い期間が必要になる。加えて、製造に必要なマスクのコストは非常に高価である。また、最終的には、LSIチップ1400に印加されるサージ電圧に対する耐性やノイズの影響を総合的に判断する必要があり、保護回路1090の設計変更時点においてすべての条件を考慮して、その設計変更を行うことは困難である。このため、設計変更時点において、ESD耐性が向上し、かつノイズの影響も少ないといったことを確実に判断できないという問題点がある。

【0021】

また、このような静電破壊は、LSIチップを運搬する過程、またはLSIチップを基板に実装する過程において頻発する。

【0022】

そこで、本発明の目的は、第1に、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置を提供することである。また、第2に、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置の製造方法を提供することである。

【0023】

【課題を解決するための手段】

上記課題を解決するために、第1に、請求項1に係る発明は、ディジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、前記ディジタル回路に接続され、入力されたディジタル信号の影響によって前記ディジタル回路に生じる静電破壊を保護する第1の静電破壊保護回路と、前記アナログ回路に接続され、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第2の静電破壊保護回路とを備え、前記第1の静電破壊保護回路に接続される第1の接地線と、前記第2の静電破壊保護回路に接続される第2の接地線とは、前記半導体集積回路の外部で接続されているものである。

【0024】

請求項1の発明によると、第1の静電破壊保護回路に接続される第1の接地線と第2の静電破壊保護回路に接続される第2の接地線とを半導体集積回路の外部で接続されているため、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置を提供することができる。

【0025】

また、請求項2の発明は、請求項1に記載の半導体集積回路装置において、前記第1の接地線と前記第2の接地線とは、前記半導体集積回路のパッケージ基板の内部で接続されているものとする。

【0026】

請求項2の発明によると、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置を提供することができる。

【0027】

また、請求項3の発明は、請求項1に記載の半導体集積回路装置において、前記第1の接地線と前記第2の接地線とは、前記半導体集積回路のパッケージ基板の外部で接続されているものとする。

【0028】

請求項3の発明によると、第1の接地線と前記第2の接地線とを接続するか否かを容易に選択でき、静電破壊に対する耐性の向上とノイズの低減とのトレードオフを図ることができる。

【0029】

また、請求項4の発明は、請求項1に記載の半導体集積回路装置において、前記第1の接地線と前記第2の接地線とは、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続されているものとする。

【0030】

請求項4の発明によると、容量を任意に設定できるため、静電破壊に対する耐性の向上とノイズの低減とのトレードオフをさらに細かく図ることができる。

【0031】

また、請求項5の発明は、請求項1に記載の半導体集積回路装置において、前記第1の接地線と前記第2の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電氣的に接続するための部分を介して、接続されているものとする。

【0032】

請求項5の発明によると、パッケージ基板そのものに変更を加えることなく、静電破壊に対する耐性の向上を図ることができる。

【0033】

また、上記課題を解決するために、第2に、請求項6に係る発明は、ディジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、入力されたディジタル信号の影響によって生じる静電破壊を保護する第1の静電破壊保護回路に接続された前記ディジタル回路と、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第2の静電破壊保護回路に接続された前記アナログ回路とが仕様通りに動作するか否かを判断する回路検査ステップと、前記回路検査ステップにおいて、前記ディジタル回路と前記アナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記ディジタル回路と前記アナログ回路とに対して判断する静電破壊検査ステップと、前記静電破壊検査ステップにおいて、前記ディジタル回路と前記アナログ回路との少なくとも一方に静電破壊が生じると判断した場合に、前記第1の静電破壊保護回路に接続される第1の接地線と、前記第2の静電破壊保護回路に接続される第2の接地線とを、前記半導体集積回路の外部で接続する外部接続ステップとを備えるものである。

【0034】

請求項6の発明によると、第1および第2のLSI検査ステップの結果に応じて、第1の接地線と第2の接地線とを半導体集積回路の外部で接続するため、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【0035】

また、請求項7の発明は、請求項6に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第1の接地線と前記第2の接地線とを、前記半導体集積回路のパッケージ基板の内部で接続するステップであるものとする。

【0036】

請求項7の発明によると、短期間に安価で、かつESD耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【0037】

また、請求項 8 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で接続するステップであるものとする。

【0038】

請求項 8 の発明によると、第 1 の接地線と前記第 2 の接地線とを接続するか否かを容易に選択でき、静電破壊に対する耐性の向上とノイズの低減とのトレードオフを図ることができる。

【0039】

また、請求項 9 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続するステップであるものとする。

【0040】

請求項 9 の発明によると、容量を任意に設定すれば、静電破壊に対する耐性の向上とノイズの低減とのトレードオフをさらに細かく図ることができる。

【0041】

また、請求項 10 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電気的に接続するための部分を介して、接続するステップであるものとする。

【0042】

請求項 10 の発明によると、パッケージ基板そのものに変更を加えることなく、静電破壊に対する耐性の向上を図ることができる。

【0043】

また、上記課題を解決するために、第 3 に、請求項 11 の発明は、第 1 のデジタル回路と第 1 のアナログ回路とを同一半導体チップ内に集積する第 1 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 1 のデジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された第 1 の接地線と、入力されたアナログ信号の影響によって前記第 1 のアナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された第 2 の接地線とが接続されない第 1 のパッケージ基板を作成する第 1 のパッケージ作成ステップと、第 2 のデジタル回路と第 2 のアナログ回路とを同一半導体チップ内に集積する第 2 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 2 のデジタル回路に生じる静電破壊を保護する第 3 の静電破壊保護回路に接続された第 3 の接地線と、入力されたアナログ信号の影響によって前記第 2 のアナログ回路に生じる静電破壊を保護する第 4 の静電破壊保護回路に接続された第 4 の接地線とが接続された第 2 のパッケージ基板を作成する第 2 のパッケージ作成ステップと、前記第 1 のデジタル回路と前記第 1 のアナログ回路とが仕様通りに動作するか否かを判断する第 1 の回路検査ステップと、前記第 1 の回路検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 1 のデジタル回路と前記第 1 のアナログ回路に対して判断する第 1 の静電破壊検査ステップとを含む、前記第 1 のパッケージ作成ステップの後に行う第 1 の L S I 検査ステップと、前記第 2 のデジタル回路と前記第 2 のアナログ回路とが仕様通りに動作するか否かを判断する第 2 の回路検査ステップと、前記第 2 の回路検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 2 のデジタル回路と前記第 2 のアナログ回路に対して判断する第 2 の静電破壊検査ステップとを含む、前記第 2 のパッケージ作成ステップの後に行う第 2 の L S I 検査ステップと、前記第 1 の L S I 検査ステップにおける前記第 1 の静電破壊検査ステップにおいて、前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに静電破壊が生じないと判断した場合に、前記第 1 のパッケージ基板を選択する第 1 のパッケージ選択ステップと、前記第 1 の L S I 検査ステップの前記第 1 の静電破壊検査ステップに

において前記第1のデジタル回路と前記第1のアナログ回路との少なくとも一方に静電破壊が生じると判断した場合であって、前記第2のLSI検査ステップの前記第2の静電破壊検査ステップにおいて前記第2のデジタル回路と前記第2のアナログ回路とがともに静電破壊を生じないと判断した場合に、前記第2のパッケージ基板を選択する第2のパッケージ選択ステップとを備えるものである。

【0044】

請求項11の発明によると、LSI検査に要する時間を短縮し、ESD耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【0045】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照しながら説明する。

【0046】

図1は、本発明の一実施形態に係る半導体集積回路1000を説明するため図面である。

【0047】

図1に示す半導体集積回路1000は、デジタル回路1010とアナログ回路1050とを有しており、デジタル回路1010とアナログ回路1050とは制御信号線1080を介して接続されている。

【0048】

デジタル回路1010は、保護回路1022a、1022b（それぞれ第1の静電破壊保護回路に対応する）を経由して、パッド部1020a、1020bからの電気信号を受ける。また、電源パッド部1024は、保護回路1022a、1022bにデジタル系の電源1034を供給する。電源パッド部1025は、保護回路1022a、1022bにデジタル系のグラウンド電源1035を与える。

【0049】

また、アナログ回路1050は、同様に、保護回路1062a、1062b（それぞれ第2の静電破壊保護回路に対応する）を経由して、パッド部1060a、1060bからの電気信号を受ける。また、電源パッド部1064は、保護回路1062a、1062bにアナログ系の電源1074を供給する。電源パッド部1065は、保護回路1062a、1062bにアナログ系のグラウンド電源1075を与える。

【0050】

図1に示した半導体集積回路1000が、上記従来の図11に示した半導体集積回路1000と異なるのは、デジタル系のグラウンド電源1035が供給される配線（第1の接地線に対応する）とアナログ系のグラウンド電源1075が供給される配線（第2の接地線に対応する）とを、電源パッド部1025と電源パッド部1065とを介して、半導体集積回路1000の外部で導体100を用いて、電気的に接続している点である。これにより、保護回路1090におけるサージ電荷の通過時間を短縮し、静電気を適切に放電することができる。

【0051】

なお、この場合、デジタル系のグラウンド電源1025が供給される配線とアナログ系のグラウンド電源1075が供給される配線とを接続するため、デジタル回路1010で発生するノイズがアナログ回路に侵入することが懸念される。しかしながら、一般的に、半導体集積回路1000の外部の配線容量は、半導体集積回路1000内部の配線容量に比べて1000倍程度の大きさになるため、デジタル回路1010で発生するノイズがアナログ回路1050に影響を及ぼすことはほとんどない。

【0052】

以下では、デジタル系のグラウンド電源1035が供給される配線とアナログ系のグラウンド電源1075が供給される配線とを、半導体集積回路1000の外部で接続する形態例について説明する。

【0053】

<接続の形態例(1)>

図2は、パッケージ基板210内部で接続する形態を説明するためのLSIチップ200を示す図である。

【0054】

図2に示すLSIチップ200は、上記半導体集積回路1000と、パッケージ基板210と、封入材212とを備えている。また、端子226および端子266はパッケージ基板210上に構成される端子である。端子226は半導体集積回路1000内の電源パッド部1025、すなわちデジタル系のグラウンド電源1035が供給される配線と接続される。端子266は半導体集積回路1000内の電源パッド部1065、すなわちアナログ系のグラウンド電源1075が供給される配線と接続される。そして、端子226、端子266は、それぞれ配線227、配線267を介して、それぞれLSIチップ200の外部ピン228、外部ピン268と接続される。

【0055】

そして、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065との接続は、配線227と配線267とをパッケージ基板210の内部において、配線280によって接続する。

【0056】

また、パッケージ基板210が複数の層から構成されている場合について説明する。

【0057】

図3はパッケージ基板210の複数の基板層のうち、ある層を模式的に示す図である。すなわち、図3は、図2に示す断面L1とL2とに応じて切り出した図であり、図3に示すように配線227と配線267とが形成される層310において、配線280によって接続する。なお、図3では、理解を容易にするため配線層などを直線的に示して単純化しているが、具体的な接続においては種々の要素を考慮して、配線パターンとして都合の良い位置で接続が行われることは言うまでもない。

【0058】

<接続の形態例(2)>

図4は、パッケージ基板210の外部で接続する形態を説明するためのLSIチップ400を示す図である。

【0059】

図4に示すLSIチップ400は、上記半導体集積回路1000と、パッケージ基板410と、封入剤212とを備えている。半導体集積回路1000のデジタル系のグラウンド電源1035が供給される配線に接続される配線427とアナログ系のグラウンド電源1075が供給される配線に接続される配線467とをパッケージ基板410の外部に出力し、LSIチップ400の裏面において、配線480によって接続する。

【0060】

図5は、LSIチップ400の裏面を示す図である。すなわち、配線427の接続部と配線467の接続部とを配線480によって電氣的に接続する。

【0061】

これにより、外部において、配線480を用いた上記接続を行うか否かを選択することができるので、LSIチップ400の完成後にESD耐圧の強化とノイズの低減とのトレードオフを図ることができる。

【0062】

<接続の形態例(3)>

図6は、パッケージ基板410の外部で容量を用いて接続する形態を説明するためのLSIチップ400を示す図である。

【0063】

図6に示すLSIチップ400は、図4に示したLSIチップ400の場合と同様に、グラウンド電源1035が供給される配線に接続される配線427とグラウンド電源1075が供給される配線に接続される配線467とをパッケージ基板410の外部に出力し、LSIチップ400の裏面において接続するものであるが、図4と異なるのは、配線42

7と配線467とを、配線480ではなくコンデンサー680を用いて接続する点である。

【0064】

図7は、パッケージ基板400の裏面を示す図である。すなわち、配線427の接続部と配線467の接続部とをコンデンサー680を用いて接続する。

【0065】

これにより、外部において、コンデンサー680を用いた上記接続において、コンデンサーの容量を任意に選択することができるので、LSIチップ400の完成後にESD耐圧の強化とノイズの低減とのトレードオフをさらに細かく調整することができる。

【0066】

<接続の形態例(4)>

図8は、外部において、リード線を用いて接続する形態を説明するためのLSIチップ400を示す図である。

【0067】

半導体集積回路1000のデジタル系のグラウンド電源1035が供給される配線に接続される電源パッド部1025とアナログ系のグラウンド電源1075が供給される配線に接続される電源パッド部1065との接続は、リード線880を用いてパッケージ基板1300上の端子1326と電源パッド部1065とを接続する。なお、ここでは、端子1326と電源パッド部1065との間をリード線を用いて接続する場合を説明したが、端子1366と電源パッド部1025との間をリード線を用いて接続する場合であっても、同様に実施可能であることは言うまでもない。なお、これらのリード線を用いた接続は、その接続距離が近い方が望ましい。

【0068】

これにより、上記図2と図3で示したようにパッケージ基板の変更を加えることなく、ESD耐圧を高めることができる。

【0069】

以下に、本実施形態の変形例として、上記半導体集積回路装置の製造方法について説明する。

【0070】

<半導体集積回路装置の製造方法(1)>

図9は、本発明の本実施形態の変形例に係る半導体集積回路装置の製造方法を説明するためのフローチャートである。

【0071】

まず、ステップST2000において半導体集積回路1000を設計した後、ステップST2010に進んで半導体集積回路1000を製造する。次に、ステップST2020において、半導体集積回路1000とパッケージ基板1300とを一体化すると、例えば図14に示すLSIチップ1400となる。そして、LSI検査を行うステップST2100に進む。

【0072】

LSI検査を行うステップST2100は、少なくとも、デジタル回路1010およびアナログ回路1050の動作を検査するステップST2100（回路検査ステップに対応する）と静電破壊を検査するステップST2120（静電破壊検査ステップに対応する）を含む。

【0073】

デジタル回路1010およびアナログ回路1050の動作を検査するステップST2100において、仕様通りにその動作が行われるか否かを判断する。仕様通りに動作が行われる場合（ステップST2110でYES）は、ステップST2120に進み、仕様通りに動作が行われない場合（ステップST2110でNO）は、ステップST2000に戻って再度半導体集積回路の設計からやり直す。

【0074】

次に、静電破壊を検査するステップST 2 1 2 0は例えば以下の態様で行われる。

【0075】

まず、例えば、図15に示した外部ピン1426および外部ピン1468を接地レベル（電位0）に固定し、それ以外の外部ピンに順次高電圧を印加する。印加し終わったLSIチップ1400について動作検査を実施し、正常動作を行えば静電破壊が生じていないと判断する（ステップST 2 1 2 0でYES）。一方、正常動作を行わないならば、すなわち静電破壊が生じた場合（ステップST 2 1 2 0でNO）、には、ステップST 2 2 0 0に進む。

【0076】

ステップST 2 2 0 0において、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065とを半導体集積回路1000の外部で電氣的に接続する（外部接続ステップに対応する）。なお、その接続態様については、上記で説明した通りである。

【0077】

その後、ステップST 2 0 2 0に戻って、上記ステップST 2 2 0 0の処理を終えた半導体集積回路1000とパッケージ基板とを一体化し、ステップST 2 1 0 0のLSI検査を実施し、デジタル回路1010およびアナログ回路1050が仕様通りに動作し、静電破壊が生じないと判断できると完成となる。

【0078】

以上の説明から明らかなように、ステップST 2 1 2 0で静電破壊が生じた場合でも、半導体集積回路1000の設計および製造の工程（ステップST 2 0 0 0およびステップST 2 0 1 0）を省略することができるので、少ない期間でLSIチップ1400を完成することができる。

【0079】

<半導体集積回路装置の製造方法（2）>

次に、半導体集積回路装置の別の製造方法について説明する。

【0080】

図10は、半導体集積回路装置の別の製造方法を説明するためのフローチャートである。

【0081】

図10に示す製造方法においては、まず上記図9と同様に、ステップST 2 0 0 0とステップST 2 0 1 0における動作を行う。そして、本製造方法では、ステップST 2 4 0 0に進む。

【0082】

ステップST 2 4 0 0は、第1のパッケージ作成ステップ（ステップST 2 0 2 0）と第2のパッケージ作成ステップ（ステップST 2 2 0 5およびステップST 2 0 2 5）とを含む。

【0083】

第1のパッケージ作成ステップ（ステップST 2 0 2 0）は、グラウンド電源1035が供給される配線（ここでは、第1の接地線に対応する）とグラウンド電源1075Aが供給される配線（ここでは、第2の接地線に対応する）とを接続しない半導体集積回路1000とパッケージ基板とを一体化するステップである。

【0084】

また、第2のパッケージ作成ステップ（ステップST 2 2 0 5およびステップST 2 0 2 5）は、まず、デジタル系のグラウンド電源1035が供給される配線（ここでは、第3の接地線に対応する）とアナログ系のグラウンド電源1075が供給される配線（ここでは、第4の接地線に対応する）とを、グラウンド電源1035、1075をそれぞれ与える電源パッド部1025、電源パッド部1065を介して、半導体集積回路1000の外部で電氣的に接続する（ステップST 2 2 0 5）。そして、このように外部で電氣的に接続された半導体集積回路1000とパッケージ基板とを一体化（ステップST 2 0 2 5）するステップである。なお、その接続態様については、上記で説明した通りである。

【0085】

具体的には、ステップST2400のステップST2020においてグラウンド電源1035が供給される配線とグラウンド電源1075が供給される配線とを外部で電氣的に接続しない半導体集積回路1000とパッケージ基板とを一体化するとともに、ステップST2400のステップST2025においてグラウンド電源1035が供給される配線とグラウンド電源1075が供給される配線とを外部で電氣的に接続した半導体集積回路1000とパッケージ基板とを一体化する。その後、ステップST2500に進む。

【0086】

ステップST2500は、第1のLSI検査ステップ（ステップST2100）と第2のLSI検査ステップ（ステップST2105）とを行って、その次に進むステップを決定する。なお、ステップST2100およびステップST2105は、上記と同様のLSI検査を行う。

【0087】

具体的には、まず、ステップS500におけるステップST2100での第1のLSI検査の結果、正常であると判断された場合（つまり、デジタル回路1010（ここでは、第1のデジタル回路に対応する）およびアナログ回路1050（ここでは、第1のアナログ回路に対応する）の検査（ここでは、第1の回路検査ステップに対応する）と、静電破壊の検査（ここでは、第1の静電破壊検査ステップに対応する）とがともに正常の場合）は、ステップST2105での第2のLSI検査の結果によらずにステップST2301に進む。そして、ステップST2301において、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065とを半導体集積回路1000の外部で電氣的に接続しないパッケージ基板を選択する（第1のパッケージ選択ステップに対応する）。

【0088】

また、上記ステップST2100における第1のLSI検査の結果、正常でないと判断された場合（つまり、デジタル回路1010およびアナログ回路1050の検査では正常で、静電破壊の検査では正常でない場合）であって、ステップST2105における第2のLSI検査の結果、正常であると判断された場合（つまり、デジタル回路1010（ここでは、第2のデジタル回路に対応する）およびアナログ回路1050（ここでは、第2のアナログ回路に対応する）の検査（ここでは、第2の回路検査ステップに対応する）と静電破壊の検査（ここでは、第2の静電破壊検査ステップに対応する）とがともに正常の場合）は、ステップST2302に進む。そして、ステップST2302において、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065とを半導体集積回路1000の外部で電氣的に接続したパッケージ基板を選択する（第2のパッケージ選択ステップに対応する）。

【0089】

また、ステップST2500におけるステップST2100およびステップST2105における第1および第2のLSI検査の結果、上記以外の場合（つまり、第1の回路検査ステップまたは第2の回路検査ステップで正常でない場合と、第1の回路検査ステップで正常で第1の静電破壊検査ステップで正常でない場合であって第2の回路検査ステップで正常で第2の静電破壊検査ステップで正常でない場合）は、再度ステップST2000に戻って、半導体集積回路1000の設計からやり直す。

【0090】

以上のように図10に示した半導体集積回路装置の製造方法では、上記図9に示した製造方法に比べて、図9に示したステップST2200の後に行う再度のLSI検査（ステップST2100）に要する期間を削減することができる。

【0091】

なお、以上の各実施形態では、図2～図8を用いてパッケージ基板の内部、外部において、さらにリード線を用いてデジタル系のグラウンド電源1035が供給される配線とア

ナログ系のグラウンド電源1075が供給される配線とを接続する場合について説明したが、接続部、端子、パッド部の形状については図示したものに限定されるものではないといは言うまでもない。また、パッド部等の物理的な位置も本実施例に限定されるものではない。

【0092】

また、LSIチップの外部端子がパッケージ基板の裏面にある場合について説明したが、側面にある場合でも同様に実施可能である。そして、図3および図5では、その裏面において、配線やコンデンサーを用いて接続する場合について説明したが、同様に側面において接続する場合でも同様に実施可能である。さらに、図3や図5の場合に、その表面においても同様に実施することも不可能ではない。

【0093】

【発明の効果】

上記のように、ディジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、ディジタル回路とアナログ回路の保護回路にそれぞれ接続される接地線とを、半導体集積回路の外部で接続する。これにより、短期間に安価で、かつ確実にESD耐性を向上することができる。

【図面の簡単な説明】

【図1】本発明の本実施形態における半導体集積回路を説明するための図である。

【図2】パッケージ基板210内部で接続する形態を説明するためのLSIチップ200を示す図である。

【図3】パッケージ基板210の複数の層のうちのある層を模式的に示す図である。

【図4】パッケージ基板210の外部で接続する形態を説明するためのLSIチップ400を示す図である。

【図5】LSIチップ400の裏面を示す図である。

【図6】パッケージ基板410の外部で容量を用いて接続する形態を説明するためのLSIチップ400を示す図である。

【図7】パッケージ基板400の裏面を示す図である。

【図8】外部において、リード線を用いて接続する形態を説明するためのLSIチップ400を示す図である。

【図9】本実施形態の変形例に係る半導体集積回路装置の製造方法を説明するためのフローチャートである。

【図10】半導体集積回路装置の別の製造方法を説明するためのフローチャートである。

【図11】従来の半導体集積回路1000の構成例を示す図である。

【図12】

【図13】保護回路の一例を示す図である。

【図14】半導体集積回路1000内のパッド部とパッケージ基板の端子との接続関係を説明する図である。

【図15】パッケージ基板の端子と外部ピンとの接続関係を説明する図である。

【図16】従来のLSIチップ1400の製造方法を説明するためのフローチャートである。

【符号の説明】

1000 半導体集積回路
1010 ディジタル回路
1050 アナログ回路
1080 制御信号線
1022a、1022b、1062a、1062b、1090 保護回路
1020a、1020b、1060a、1060b パッド部
1024、1025、1064、1065 電源パッド部
100、227、267、280、427、467、480、880 配線
1034 ディジタル系電源

10

20

30

40

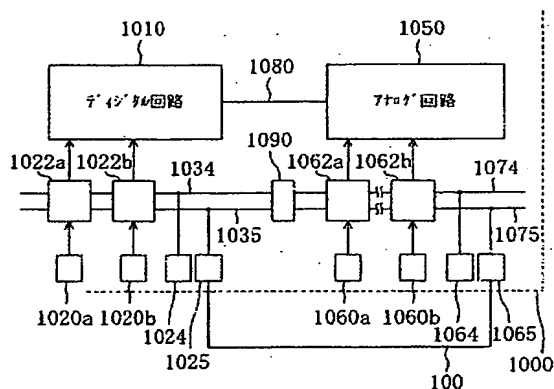
50

- 1074 アナログ系電源
 1035 デジタル系のグラウンド電源
 1075 アナログ系のグラウンド電源
 226、266 端子
 212 封入材
 210、410 パッケージ基板
 228、268 外部端子
 200、400 LSIチップ
 310 基板層
 680 コンデンサ
- ST2110 デジタル回路とアナログ回路の検査 (回路検査ステップ)
 ST2120 静電破壊の検査 (静電破壊検査ステップ)
 ST2200 グラウンド配線を外部で接続 (外部接続ステップ)
 ST2400 第1のパッケージ作成ステップと第2のパッケージ作成ステップとを行う
 ST2020 第1のパッケージ作成ステップ
 ST2205 グラウンド配線を外部で接続 (第2のパッケージ作成ステップに含まれる)
 ST2025 半導体集積回路とパッケージ基板とを一体化 (第2のパッケージ作成ステップに含まれる)
 ST2500 第1のLSI検査ステップと第2のLSI検査ステップとを行って判断する
 ST2100 第1のLSI検査ステップ
 ST2105 第2のLSI検査ステップ
 ST2301 外部で接続しないパッケージを選択 (第1のパッケージ選択ステップ)
 ST2302 外部で接続したパッケージを選択 (第2のパッケージ選択ステップ)

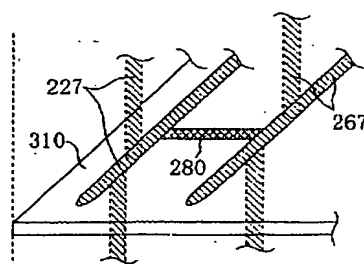
10

20

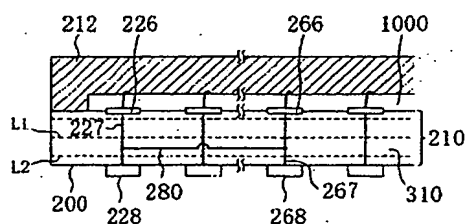
【図1】



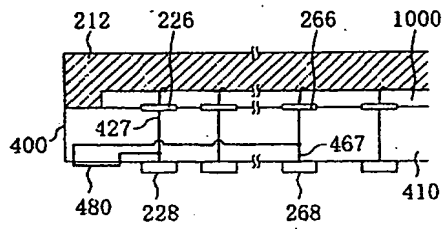
【図3】



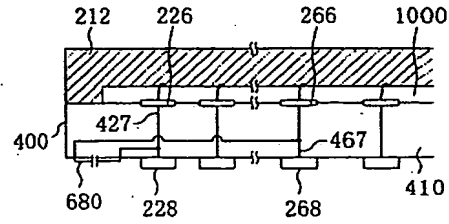
【図2】



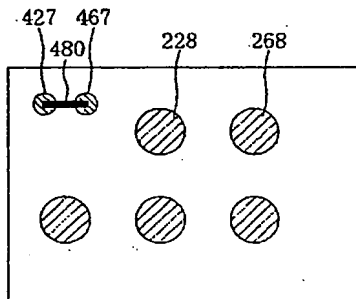
【図 4】



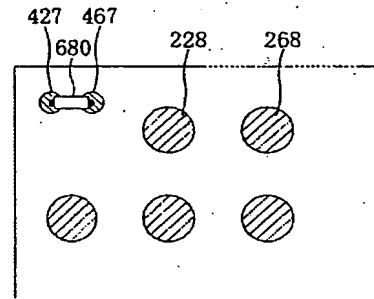
【図 6】



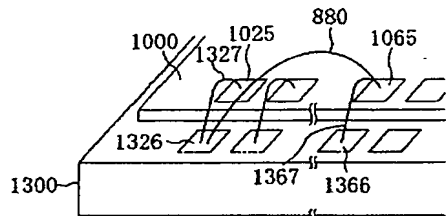
【図 5】



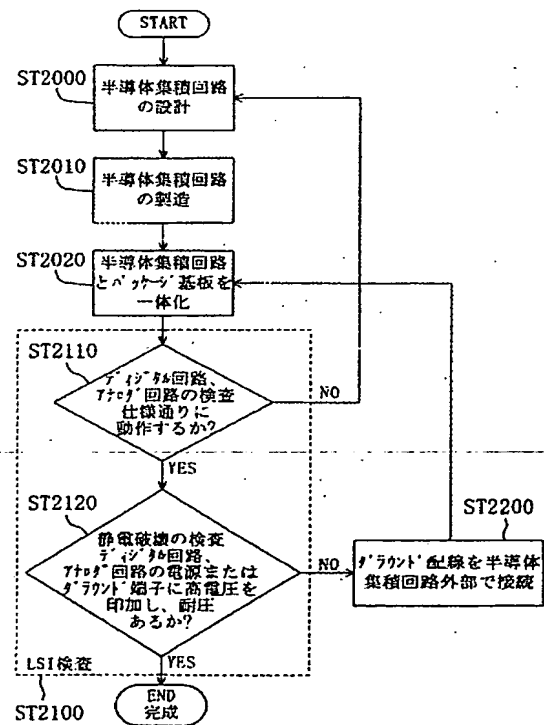
【図 7】



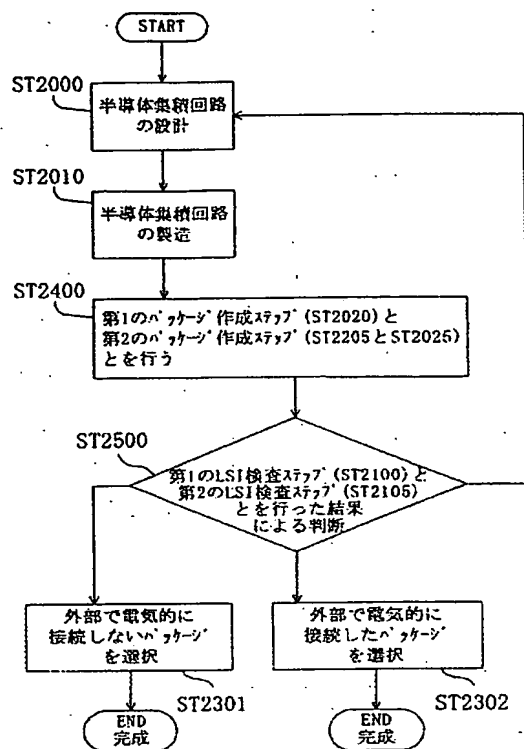
【図 8】



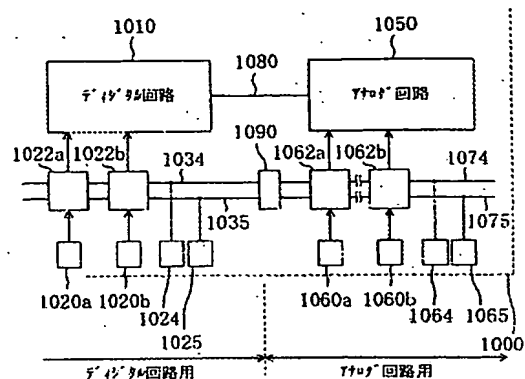
【図 9】



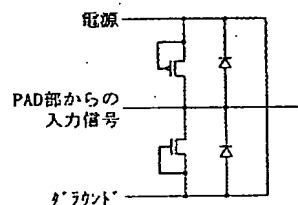
【図10】



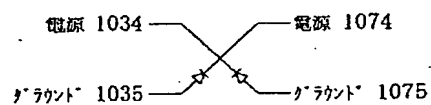
【図11】



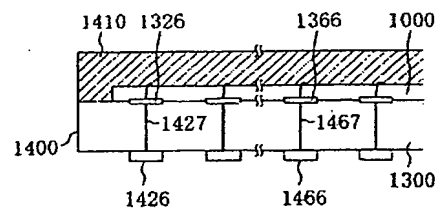
【図12】



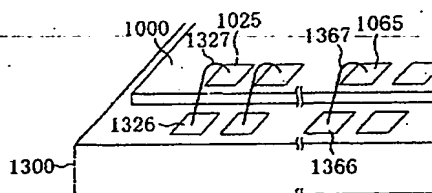
【図13】



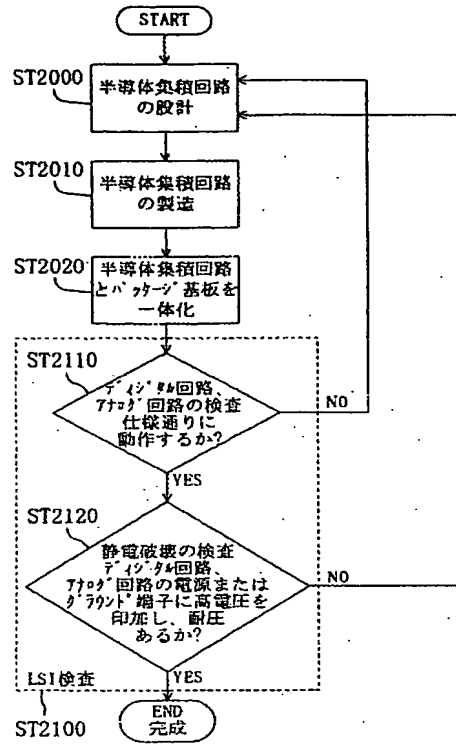
【図15】



【図14】



【図16】



フロントページの続き

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 岡本 稔

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5F038 BE09 BH01 BH03 BH13 CD02 DF12 EZ20